

CLIPPEDIMAGE= JP403066172A

PAT-NO: JP403066172A

DOCUMENT-IDENTIFIER: JP 03066172 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 20, 1991

INVENTOR-INFORMATION:

NAME

TAKAHASHI, KATSUYUKI

ASSIGNEE-INFORMATION:

NAME

SEIKO INSTR INC

COUNTRY

N/A

APPL-NO: JP01203350

APPL-DATE: August 4, 1989

INT-CL (IPC): H01L029/788;H01L021/3205 ;H01L029/792

US-CL-CURRENT: 438/257,438/396 ,438/FOR.203

ABSTRACT:

PURPOSE: To enhance a film quality of a second gate oxide film and to largely increase the number of rewrite operations by a method wherein, after B<SP>+</SP> ions have been implanted into the second gate oxide film, an annealing operation is executed in an atmosphere of dilute oxygen.

CONSTITUTION: A P-type silicon substrate 1 is used; an oxide film 10 for element isolation use is formed; a first gate oxide film 2 and a floating gate electrode 3 are formed. A silicon layer is transformed into an N<SP>+</SP> type; a peripheral logic part is etched. Then, a gate oxide film 4 and a

second gate oxide film 5 in a memory cell part are formed; B<SP>+</SP> ions are implanted into the whole surface. After that, an annealing operation is executed in an atmosphere of dilute oxygen at about 950 to 1050°C to restore damage by this ion implantation. A second-layer polycrystalline silicon layer is formed and transformed into an N<SP>+</SP> type. After that, a control gate electrode 6, the second gate electrode oxide film 5 and the floating gate electrode 3 are formed in the memory cell part; a gate electrode 7 is formed in the peripheral logic part. An N<SP>+</SP> type source region 8 and an N<SP>+</SP> type drain region 9 are formed by implanting As<SP>+</SP> ions.

COPYRIGHT: (C)1991,JPO&Japio

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月20日

H 01 L 29/788
21/3205
29/7927514-5F
6810-5FH 01 L 29/78
21/88

3 7 1

P

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-203350

⑯ 出 願 平1(1989)8月4日

⑰ 発 明 者 高 橋 克 幸 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内⑱ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑲ 代 理 人 弁理士 林 敬之助

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上の多結晶シリコン上に絶縁膜を形成する工程と、前記絶縁膜を介してイオン・インプラントーションを行なう工程と、希釈酸素雰囲気中でアニールする工程とから成る半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置の製造方法に関する。

〔発明の概要〕

この発明は、半導体不揮発性メモリの製造方法において、浮遊ゲート電極上の酸化膜がイオン・インプラントーションにより劣化するため、希釈酸素雰囲気中でアニールすることにより、酸化膜質を向上し、信頼性の高い半導体不揮発性メモリ

を提供するものである。

〔従来の技術〕

第2図(a)～(c)は従来の不揮発性メモリのメモリセル部(第2図(c)の左側)と周辺回路部(第2図(c)の右側)の製造工程順を示す断面図である。

P型シリコン基板11を用い素子分離用酸化膜100を形成し、ゲート酸化膜12を形成し、浮遊ゲート電極13となる第1層多結晶シリコン層を形成する。次にリン拡散法により第1層多結晶シリコン層をN⁺型化する。周辺ロジック部では前記第1層多結晶シリコン層と第1ゲート酸化膜をエッチングする。(第2図(a))

次に周辺ロジック部のゲート酸化膜14と同時にメモリセル部の第2ゲート酸化膜15を形成し、周辺ロジック部のしきい値を制御する為に全面にB⁺イオン・インプラを行なう。(第2図(b))

次に第2層多結晶シリコン層を形成し、リン拡散法により第2層多結晶シリコン層をN⁺型化す

る。その後、メモリセル部では第2層多結晶シリコン層と第2ゲート酸化膜と第1層多結晶シリコン層を選択的にエッチングし、制御ゲート電極16と第2ゲート酸化膜15と浮遊ゲート電極13を形成する。周辺ロジック部では第2層多結晶シリコン層のみメモリセル部と同時に選択的にエッチングし、周辺ロジック部のゲート電極17を形成する。As⁺イオン・インブラによりN⁺型ソース領域18とN⁺型ドレイン領域19を形成する。(第2図(c))

この後は図示しないが、全面をCVD酸化膜でおい、コンタクトホールをあけて必要な金属配線を形成し完成する。

書き込み(浮遊ゲート電極13への電子の注入)は制御ゲート電極16に12V、ソースに0V、ドレインに5V印加して行なう。

消去は紫外線によって行なう。

(発明が解決しようとする課題)

書き込み時、浮遊ゲート電極13-制御ゲート電極16間の第2ゲート酸化膜15に約5V~8

V印加され、多数個書き込みを行なうと以下の理由により破壊してしまうという欠点課題があった。

第2ゲート酸化膜15は周辺ロジック部のしきい値を制御する為に全面にB⁺イオン・インブラを行なうため、酸化膜質を劣化させる。

従来の製造方法による半導体不揮発性メモリの書き換え特性を第3図中に点線で示す。第3図は横軸に書き込み・消去回数、縦軸にしきい値(V_{th})をとったものである。

(課題を解決するための手段)

上記の課題を解決するために第2ゲート酸化膜15のB⁺イオン・インブラ後、約950~1050℃で希釈酸素雰囲気中でアニールを行なう。

(作用)

上記のような製造工程順によって形成された半導体不揮発性メモリの第2ゲート酸化膜は、B⁺イオン・インブラ後のダメージを回復させるため、優れた酸化膜質を示す。したがってB⁺イオン・インブラ後約950~1050℃、希釈酸素

3

雰囲気中でアニールすることにより形成する第2ゲート酸化膜を有する不揮発性メモリは優れた書き換え回数を示す。

(実施例)

以下、本発明を実施例を用いて説明する。第1図(a)~(d)は本発明の半導体不揮発性メモリのメモリセル部(第1図(d)の左側)と周辺回路部(第1図(d)の右側)の製造工程順を示す断面図である。

P型シリコン基板1を用い、素子分離用酸化膜10を形成し、第1ゲート酸化膜2を形成し、浮遊ゲート電極3となる第1層多結晶シリコン層を形成する。次にリン拡散法により第1層多結晶シリコン層をN⁺型化する。周辺ロジック部では前記第1層多結晶シリコン層と第1ゲート酸化膜をエッチングする。(第1図(a))

次に周辺ロジック部のゲート酸化膜4と同時にメモリセル部の第2ゲート酸化膜5を形成し、周辺ロジック部のしきい値を制御する為に全面にB⁺イオン・インブラを行なう。(第1図

4

(b))

その後、約950~1050℃の希釈酸素雰囲気中でアニールを行ない、イオン・インブラのダメージを回復する。(第1図(c))

次に、第2層多結晶シリコン層を形成し、リン拡散法により第2層多結晶シリコン層をN⁺型化する。その後、メモリセル部では第2層多結晶シリコン層と第2ゲート酸化膜と第1層多結晶シリコン層を選択的にエッチングし、制御ゲート電極6と第2ゲート酸化膜5と浮遊ゲート電極3を形成する。周辺ロジック部では第2層多結晶シリコン層のみメモリセル部と同時にエッチングし、周辺ロジック部のゲート電極7を形成する。As⁺イオン・インブラによりN⁺型ソース領域8とN⁺型ドレイン領域9を形成する。(第1図(d))

この後は図示しないが、全面をCVD酸化膜でおい、コンタクトホールをあけて必要な金属配線を形成し完成する。

上記のような製造工程順によって形成された半

5

6

導体不揮発性メモリの第2ゲート酸化膜は、 B^+ イオン・インブラ後約950～1050℃、希釈酸素雰囲気アニールすることにより、 B^+ イオン・インブラのダメージを回復させたので、優れた酸化膜質を示す。

本発明の半導体不揮発性メモリの書き換え特性を第3図中に実線で示す。第3図からわかるように本発明の半導体不揮発性メモリの書き換え特性は従来の半導体不揮発性メモリに比べ大分よくなっていることがわかる。

〔発明の効果〕

本発明の半導体不揮発性メモリは、 B^+ イオン・インブラ後約950～1050℃、希釈酸素雰囲気アニールすることによって第2ゲート酸化膜の膜質を向上させるため、書き換え回数を従来の製造方法に比べ大幅に向上することができる。

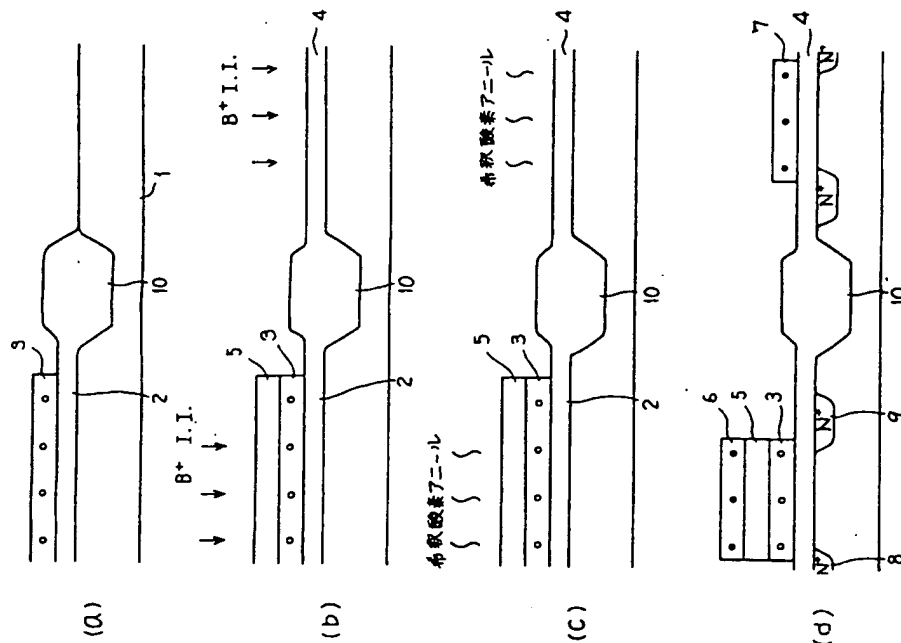
性メモリの一実施例のメモリセル部と周辺回路部の製造工程順断面図、第2図(a)～(c)は従来の半導体不揮発性メモリのメモリセル部と周辺回路部の製造工程順断面図、第3図は従来の半導体不揮発性メモリと本発明の半導体不揮発性メモリの書き換え特性図である。

- 1・・・P型シリコン基板
- 2・・・第1ゲート酸化膜
- 3・・・浮遊ゲート電極
- 4・・・周辺ロジック部のゲート酸化膜
- 5・・・第2ゲート酸化膜
- 6・・・制御ゲート電極
- 7・・・周辺ロジック部のゲート電極
- 8・・・ N^+ 型ソース領域
- 9・・・ N^+ 型ドレイン領域
- 10・・・素子分離用酸化膜

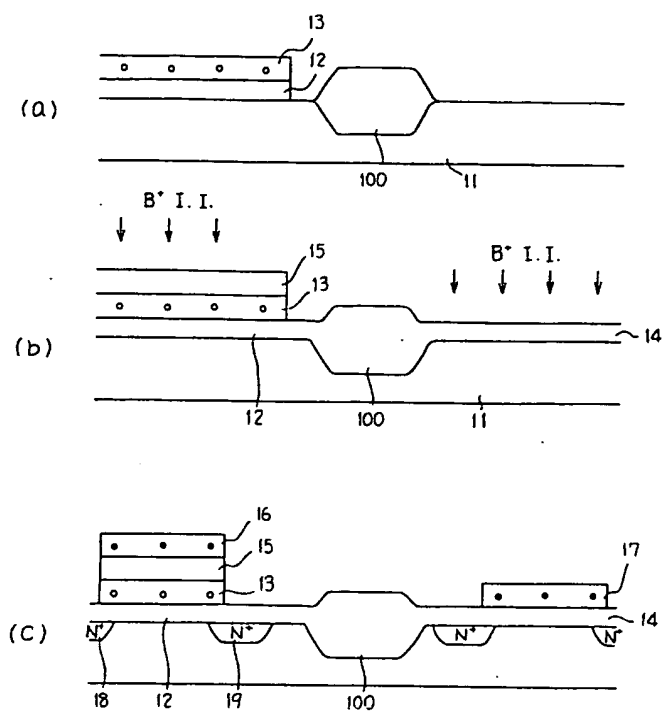
4. 図面の簡単な説明

第1図(a)～(d)は本発明の半導体不揮発

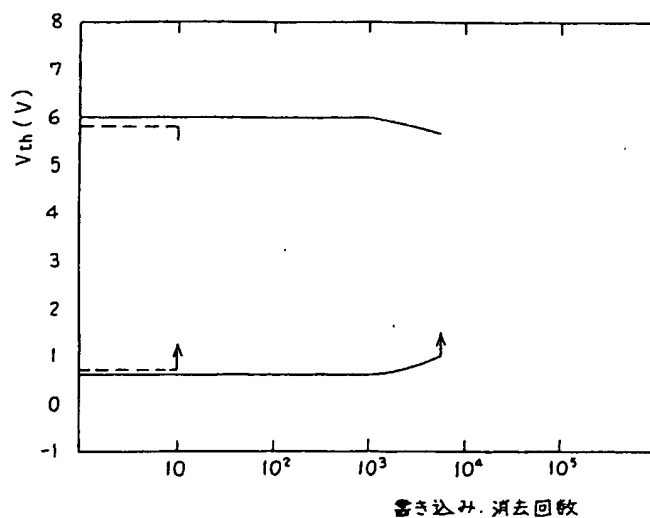
以 上



第1図



第 2 図



半導体不揮発性メモリの書き換え特性図

第 3 図